

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-200115

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

H01L 29/786

H01L 21/336

(21)Application number : 08-358961

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.12.1996

(72)Inventor : NAKAMURA AKIKO

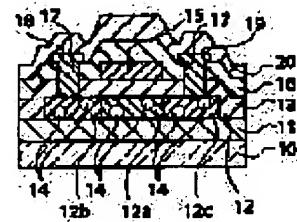
TSUTSU HIROSHI

## (54) THIN FILM TRANSISTOR AND METHOD FOR MANUFACTURING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a thin film transistor and a method for manufacturing the same standing larger AC stresses and having a high performance and high reliability.

**SOLUTION:** An underlying insulating film 11 and a semiconductor layer 12 crystallized using a XeCl excimer laser are formed on a translucent glass substrate 10. A gate insulating film 13 and a gate electrode 15 are formed on the semiconductor layer 12. Impurity is ion-implanted in the semiconductor layer 12 using the gate electrode 15 as a mask. An interlaminar insulating film 16, a source electrode 18, a drain electrode 19 and a passivation film 20 are formed on the gate electrode 15, and a heavy hydrogenated treatment is then performed in an atmosphere of a plasma including heavy hydrogen gas to combine heavy hydrogen with the grain boundary of the semiconductor layer 12 and unbound silicon (interface state density) at the interface with the gate insulating film 13. Thus Si-D bonds 14 difficult to cut by an AC stress are formed.



### LEGAL STATUS

[Date of request for examination] 19.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3599513

[Date of registration] 24.09.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-200115

(43)公開日 平成10年(1998)7月31日

(51)Int.Cl.  
H 01 L 29/786  
21/336

識別記号

F I  
H 01 L 29/78

627 E  
617 J

審査請求 未請求 請求項の数14 FD (全9頁)

(21)出願番号 特願平8-358961

(22)出願日 平成8年(1996)12月27日

(71)出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 中村 亜希子

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 筒 博司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

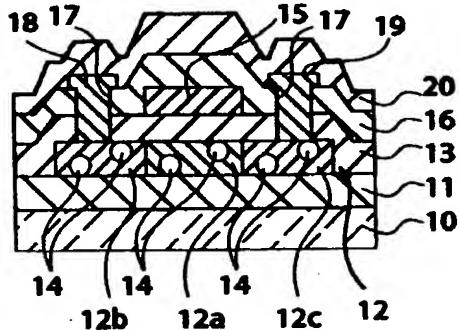
(74)代理人 弁理士 大前 要

(54)【発明の名称】 薄膜トランジスタおよびその製造方法

(57)【要約】 (修正有)

【課題】 大きなACストレスに耐え、高性能で、高信頼性を有する薄膜トランジスタおよびその製造方法を提供する。

【解決手段】 透光性ガラス基板10上に下地絶縁膜11およびXeClエキシマレーザーを用いて結晶化した半導体層12を形成する。半導体層12上にゲート絶縁膜13、ゲート電極15を形成する。ゲート電極15をマスクとして半導体層12に不純物をイオン注入する。ゲート電極15上に層間絶縁膜16、ソース電極18、ドレイン電極19、パッシベイション膜20を形成した後、重水素ガスを含むプラズマ雰囲気下で重水素化処理を行い、半導体層12の結晶粒界や、ゲート絶縁膜13との界面にあるシリコンの未結合手(界面準位)に重水素を結合させて、ACストレスによって切断されにくいSi-D結合14を形成する。



## 【特許請求の範囲】

【請求項1】 非単結晶シリコンを含む半導体層を有する薄膜トランジスタにおいて、

上記非単結晶シリコン中における少なくとも一部のシリコンの未結合手に重水素が結合されていることを特徴とする薄膜トランジスタ。

【請求項2】 上記非単結晶シリコンは、多結晶シリコンである請求項1の薄膜トランジスタ。

【請求項3】 上記非単結晶シリコンは、非晶質シリコンである請求項1の薄膜トランジスタ。

【請求項4】 非単結晶シリコンを含む半導体層を有する薄膜トランジスタの製造方法において、

上記非単結晶シリコン中における少なくとも一部のシリコンの未結合手に重水素を結合させる重水素化工程を有することを特徴とする薄膜トランジスタの製造方法。

【請求項5】 上記重水素化工程を重水素を含む雰囲気下で行う請求項4の薄膜トランジスタの製造方法。

【請求項6】 上記重水素化工程をプラズマ状態の重水素を含む雰囲気下で行う請求項5の薄膜トランジスタの製造方法。

【請求項7】 上記重水素化工程を重水素を含む熱アーチ雰囲気下で行う請求項5の薄膜トランジスタの製造方法。

【請求項8】 上記重水素化工程を原子状の重水素を含む雰囲気下で行う請求項5の薄膜トランジスタの製造方法。

【請求項9】 非単結晶シリコンを含む半導体層を有する薄膜トランジスタの製造方法において、

上記非単結晶シリコン中における少なくとも一部のシリコンの未結合手に水素を結合させる水素化工程と、上記半導体層の表面付近における少なくとも一部のシリコンの未結合手に重水素を結合させる重水素化工程とを有することを特徴とする薄膜トランジスタの製造方法。

【請求項10】 半導体層を重水素を含む溶液に浸漬することにより、上記重水素化工程を行う請求項9の薄膜トランジスタの製造方法。

【請求項11】 上記重水素を含む溶液は、重水素を溶解した沸化水素酸である請求項10の薄膜トランジスタの製造方法。

【請求項12】 上記水素化工程を行った後に、上記重水素化工程を行う請求項9の薄膜トランジスタの製造方法。

【請求項13】 上記非単結晶シリコンは、多結晶シリコンである請求項4ないし12の薄膜トランジスタの製造方法。

【請求項14】 上記非単結晶シリコンは、非晶質シリコンである請求項4ないし12の薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えばアクティブマトリックス方式のLCD (Liquid Crystal Display: 液晶表示装置) や、イメージセンサ、SRAM (Static Random Access Memory) 等におけるスイッチング素子やドライバ回路などに適用される薄膜トランジスタ (Thin Film Transistor: 以下「TFT」という。) 、およびその製造方法に関するものである。

## 【0002】

【従来の技術】TFTは、例えばアクティブマトリックス方式のLCDや、イメージセンサ、SRAM等におけるスイッチング素子やドライバ回路などに適用されている。

【0003】特に、半導体材料として多結晶シリコン (Polycrystalline silicon: 以下「p-Si」という。) を用いたTFTは、非晶質シリコン (Amorphous silicon: 以下「a-Si」という。) を用いたTFTよりもキャリア移動度が大きいとともに、セルフアライン構造による微細化や寄生容量の低減を図り得るため、高速ドライバ回路等の形成が容易であり、また、プロセス温度が450°C以下程度の低温プロセスのp-Si

は、大面積で安価なガラス基板の使用が可能であるため、例えばLCDにおける画素スイッチング素子やドライバ回路を同一基板上に一体的に形成して、LCDの低コスト化や高精細化を図ることなどが容易になるという特徴を有し、技術開発が活発に行われている。

【0004】一方、TFTにおいては、シリコンの結晶粒界や界面における未結合手 (ダンギングボンド) に起因して、特性の低下 (オン電流の減少や、オフ電流の増加、閾値電圧の上昇) が生じたり、さらにホットキャリアの発生による特性の劣化を招いたりすることがある。これらの問題点は、特に上記p-Siにおいては、その本来の特性が良好であるがゆえに、いっそう大きな問題となっている。

【0005】上記問題点を解決するための技術としては、シリコンの未結合手に水素を結合させて不活性化させる水素化処理の技術が知られている。

【0006】以下、図6に示すような上記水素化処理 (工程) を適用したp-Si TFTの製造方法を説明する。

【0007】(1) 垂直点600°C前後の透光性ガラス基板1上に、p-Siから成る半導体層2を成膜し、これを島状にパターニングする。

【0008】(2) 半導体層2上にゲート絶縁膜3を成膜する。

【0009】(3) ゲート絶縁膜3上にゲート電極5および配線パターンとなる導電性金属薄膜を成膜し、これを所定の形状にパターニングする。

【0010】(4) ゲート電極5をマスクとして、半導体層2にリン、またはボロンなどの不純物をイオン注入し、半導体層2にチャネル領域2a、ソース領域2bお

およびドレイン領域2cを形成する。

【0011】(5)層間絶縁膜6を成膜し、コンタクトホール7を開口する。

【0012】(6)ソース・ドレイン電極8・8および配線パターンとなる導電性金属薄膜を成膜し、これを所定の形状にパターニングする。

【0013】(7)保護膜となるバッシベイション膜9を成膜する。

【0014】(8)350°Cの水素プラズマ雰囲気中に2時間さらし、p-Siに対して水素化処理を行う。

【0015】(9)バッシベイション膜9を所定の形状にパターニングすると、p-Si TFTが完成する。

【0016】上記水素化処理によって導入された水素は、p-Siの結晶粒界に拡散し、結晶粒界におけるシリコンの未結合手や、p-Siとゲート絶縁膜3との界面にあるシリコンの未結合手（界面準位）と結合し、粒界や界面に存在する欠陥を不活性化させる。これによって、TFTのオン電流の増加や、オフ電流の減少、閾値電圧の低下などの特性の向上を図るとともに、さらにホットキャリアの発生が抑制されることによる特性の劣化防止が図られている。

【0017】

【発明が解決しようとする課題】しかしながら、上記従来の水素化処理を施したTFTでは、例えばソサイエティ・フォー・インフォメーション・ディスプレイ・インターナショナル・シンポジウム・ダイジェスト・オブ・テクニカル・ペーパーズ 第26巻（1995年）第393ページないし第395ページ（SID(1995)pp.393-395）に発表されているように、温度やバイアス電圧等の負荷によって、やはり特性の劣化を生じがちであるという問題点を有していた。

【0018】特に、本発明者等が、水素化処理を行ったp-Si TFTの信頼性を把握するために、ゲート電極に電圧±16V（周波数1MHz、デューティ比50%）、ソース・ドレイン電極に電圧0VのACストレス（交流駆動ストレス）を印加したところ、TFTのオン特性の低下、および閾値電圧の変動など著しい特性の劣化が生じ、この種のACストレスに対して影響を受けやすいことが判明した。

【0019】これは、以下のような理由によると推定される。

【0020】すなわち、上記従来の水素化処理を行ったp-Siは、p-Siとゲート絶縁膜との界面、およびp-Siの結晶粒界、特に半導体層の表面付近のチャネル領域とソースまたはドレイン領域との接合部付近におけるシリコン-水素結合（以下「Si-H結合」という。）がACストレスに対して弱いため、ACストレスによりSi-H結合が切断され、水素が脱離してシリコンの未結合手が生じる。このために、特性の低下を招くとともに、さらに、特にp-Siの表面付近に生じた未

結合手に起因するホットキャリアの発生によって特性の劣化を招くと考えられる。

【0021】このような問題点は、a-Siにおいても同様であるとともに、特にドライバ回路等を同一基板に内蔵したp-Si TFT-LCDに適用される場合などには、高い信頼性が要求されるうえ、高精細度化に伴う素子の微細化や高周波数化、高圧化等によって、より大きなACストレスに耐え得るTFTが必要とされるため、いっそう大きな問題点となっている。

【0022】本発明は、上記の点に鑑み、大きなACストレスに耐え、高性能で、高信頼性を有する薄膜トランジスタおよびその製造方法を提供することを目的としている。

【0023】

【課題を解決するための手段】本発明の薄膜トランジスタは、上記の目的を達成するために、非単結晶シリコンを含む半導体層を有する薄膜トランジスタにおいて、上記非単結晶シリコン中における少なくとも一部のシリコンの未結合手に重水素が結合されていることを特徴としている。

【0024】これにより、シリコン-重水素結合（以下「Si-D結合」という。）はSi-H結合よりも切断されにくいため、シリコンの未結合手に結合された重水素はシリコンから脱離しにくくなる。

【0025】したがって、実駆動レベルのバイアス電圧やAC電圧などのストレスに対しても、オン電流の増加や、オフ電流の減少、閾値電圧の低下などの特性の向上を維持しつつ、さらにホットキャリアの発生を抑制することにより特性の劣化も防止することができ、高性能で、高信頼性を有する薄膜トランジスタを得ることができる。

【0026】また、本発明の薄膜トランジスタの製造方法は、非単結晶シリコンを含む半導体層を有する薄膜トランジスタの製造方法において、上記非単結晶シリコン中における少なくとも一部のシリコンの未結合手に重水素を結合させる重水素化工程を有することを特徴としている。

【0027】このような重水素化工程を設けることにより、上記のようにシリコンの未結合手に重水素が結合された薄膜トランジスタを容易に得ることができる。

【0028】上記重水素化工程は、例えば重水素を含む雰囲気下、より具体的にはプラズマ状態の重水素を含む雰囲気下や、熱アニール雰囲気下などの分子状の重水素を含む雰囲気下、原子状の重水素を含む雰囲気下などを行なうことができる。

【0029】すなわち、プラズマ状態の重水素を含む雰囲気下や、原子状の重水素を含むガス雰囲気下で重水素化工程を行うことにより、重水素化工程を効率よく短時間で行なうことができる一方、熱アニール雰囲気下などで行なうことにより、時間は多少長くかかるが簡単な装置や

設備で重水素化工程を行うことができる。

【0030】また、本発明の他の薄膜トランジスタの製造方法は、非単結晶シリコンを含む半導体層を有する薄膜トランジスタの製造方法において、上記非単結晶シリコン中における少なくとも一部のシリコンの未結合手に水素を結合させる水素化工程と、上記半導体層の表面附近における少なくとも一部のシリコンの未結合手に重水素を結合させる重水素化工程とを有することを特徴としている。

【0031】上記重水素化工程は、例えば半導体層を重水素を含む溶液、具体的には重水素を溶解した弗化水素酸等に浸漬することなどにより行うことができる。

【0032】これによれば、従来の水素化工程を変更することなく、比較的簡単な重水素化工程を設けるだけで、ホットキャリアの発生による特性の劣化に大きく影響する半導体層の表面附近において、重水素化処理を行うことができるので、製造コストの増大を小さく抑えることができる。

【0033】ここで、重水素化工程は、水素化工程よりも先に行つてもよいが、後に行う場合には、水素化工程によって半導体層の表面附近の未結合手に結合した水素が重水素化工程によって重水素に置換されるので、重水素化処理をより効率よく行うことができる。

【0034】なお、上記薄膜トランジスタ、および薄膜トランジスタの製造方法における非単結晶シリコンとしては、非晶質シリコンであってもよいし、多結晶シリコンであってもよい。特に、後者の場合には、キャリア移動度が大きいために、高信頼性を保ちつつ、高性能な薄膜トランジスタを得ることができる。

【0035】また、上記重水素は、広義の重水素を意味し、三重水素であってもよい。

【0036】さらに、薄膜トランジスタは、pチャネルのものであっても、nチャネルのものであってもよい。

【0037】

#### 【発明の実施の形態】

(実施の形態1) まず、本発明の実施の形態1におけるTFTの構成を図1に基づいて説明する。

【0038】図1に示すように、例えば歪み点670°Cで厚さ1.1mmの透光性ガラス基板10上には、例えば膜厚2000ÅのSiO<sub>2</sub>から成る下地絶縁膜11が堆積されている。なお、この下地絶縁膜11は必ずしも設けなくてもよい。

【0039】上記下地絶縁膜11上には、例えば膜厚500Åのp-Siから成り、所定の形状にパターニングされた半導体層12が設けられている。この半導体層12には、リン、またはボロンなどの不純物イオンのドーピングにより、チャネル領域12a、およびこのチャネル領域12aを挟むソース領域12bと、ドレイン領域12cとが形成されている。

【0040】また、半導体層12の結晶粒界におけるシ

リコンの未結合手、およびp-Siと後述するゲート絶縁膜13との界面にあるシリコンの未結合手(界面準位)には、水素よりも質量数の大きい重水素が結合し、Si-D結合14が形成されている。

【0041】上記p-Si中の重水素濃度は、p-Siの膜質にも大きく依存するが、本発明者らの様々な検討では、10<sup>17</sup>~10<sup>21</sup>/cm<sup>3</sup>程度の範囲にあることが好ましい。すなわち、通常、シリコンの原子密度は10<sup>23</sup>/cm<sup>3</sup>程度であり、その1%程度の未結合手が存在するとすると、10<sup>21</sup>/cm<sup>3</sup>程度でSi-D結合14は飽和する。一方、その1万分の1の10<sup>17</sup>/cm<sup>3</sup>程度以下では、未結合手の不活性化による効果がほとんどないからである。

【0042】上記半導体層12、および前記下地絶縁膜11の上方には、例えば膜厚1000ÅのSiO<sub>2</sub>から成る絶縁膜であるゲート絶縁膜13が堆積されている。

【0043】ゲート絶縁膜13の上方における、半導体層12のチャネル領域12aに対応する位置には、例えば膜厚3000ÅのA1から成るゲート電極15が設けられている。このゲート電極15は、また、図示の断面以外の部分で所定の形状にパターニングされることにより、配線パターンを構成している。

【0044】上記ゲート電極15、および前記ゲート絶縁膜13の上方には、例えば膜厚4000ÅのSiO<sub>2</sub>から成り、ゲート電極15を覆う層間絶縁膜16が堆積されている。

【0045】上記層間絶縁膜16、および前記ゲート絶縁膜13には、それぞれ半導体層12のソース領域12b、またはドレイン領域12cに達するコンタクトホール17・17が形成されている。

【0046】上記コンタクトホール17・17は、例えば膜厚1000ÅのTi膜、および膜厚7000ÅのAl膜から成って、それぞれ半導体層12のソース領域12b、またはドレイン領域12cに接触するソース電極18、またはドレイン電極19によって埋められている。これらのソース電極18、およびドレイン電極19は、また、層間絶縁膜16の上方における図示の断面以外の部分で所定の形状にパターニングされることにより、配線パターンを構成している。

【0047】上記ソース電極18、ドレイン電極19、および前記層間絶縁膜16の上方には、パッシベーション膜20が形成されている。

【0048】上記のように構成されたTFTのゲート電極15に電圧±16V(周波数1MHz、デューティ比50%)、ソース電極18およびドレイン電極19に電圧0VのACストレスを印加してキャリア移動度の変化を観察したところ、図2に示すように、従来の水素化処理方法で作製したTFTに比べて、TFT寿命が約2桁向上した。

【0049】すなわち、p-Siとゲート絶縁膜13と

の界面、およびp-Siの結晶粒界におけるSi-D結合14は、ACストレスが印加されても切断されにくいので、TFTの特性の向上が維持され、さらにホットキャリアの発生が抑制されるので、ホットキャリアによる特性の劣化も防止される。特に、上記ホットキャリアによる劣化の防止には、p-Siとゲート絶縁膜13との界面付近でのSi-D結合14の切断が抑制されたことが大きく寄与していると思われる。

【0050】次に、上記のようなTFTの製造方法の例を図3に基づいて説明する。

【0051】(1) 透光性ガラス基板10(歪み点670°C、厚さ1.1mm)上に、SiO<sub>2</sub>から成る下地絶縁膜11を常圧CVD法にて450°Cで膜厚2000Åとなるように成膜する。

【0052】(2) a-Si:HをプラズマCVD法にて膜厚500Åとなるように成膜し、エッチングにて所定の形状にパターニングする。

【0053】(3) 上記パターニングしたa-Si:Hに対して450°C、60分の脱水素処理を行う。この工程は、以下の結晶化を行う際に水素の脱離によるシリコン膜のアブレーションの発生を防ぐことを目的としている。

【0054】(4) 例えば波長308nmのXeC1エキシマレーザーを用いてa-Siの結晶化を行い、p-Siの半導体層12を形成する(図3(a))。

【0055】(5) 半導体層12の上にSiO<sub>2</sub>から成るゲート絶縁膜13を常圧CVD法にて450°Cで膜厚1000Åとなるように成膜する。

【0056】(6) Al膜を膜厚3000Åになるようにスパッタリングし、Alエッチャント液を用いて約1分間ウェットエッチングを行い、所定の形状にパターニングして、ゲート電極15および配線パターンを形成する(図3(b))。

【0057】(7) ゲート電極15をマスクとして、半導体層12に例えばイオンドーピング法にて、リン、またはボロンなどの不純物をイオン注入し、半導体層12にチャネル領域12a、およびこのチャネル領域12aの両側にソース領域12bと、ドレイン領域12cとを形成する(図3(c))。

【0058】(8) SiO<sub>2</sub>から成る層間絶縁膜16を常圧CVD法にて450°Cで膜厚4000Åとなるように成膜し、ゲート電極15を覆う。(図3(d))。

【0059】(9) 層間絶縁膜16、およびゲート絶縁膜13に、それぞれ半導体層12のソース領域12b、またはドレイン領域12cに達するコンタクトホール17・17を開口する。

【0060】(10) Ti膜およびAl膜をそれぞれ膜厚1000Åまたは7000Åになるようにスパッタリングした後、BC1<sub>3</sub>/C1<sub>2</sub>系ガスを用いたドライエッチングにて所定の形状にパターニングし、ソース電極

10

18、ドレイン電極19、および配線パターンを形成する(図3(e))。

【0061】(11) 保護膜となるバッシペイション膜20を成膜する。

【0062】(12) 処理温度350°C、重水素ガスの流量300sccm、RFパワー800Wの条件下で、2時間、プラズマ重水素化処理を行う(図3(f))。

20

【0063】このプラズマ重水素化処理によって導入された重水素は、半導体層12におけるp-Siの結晶粒界に拡散し、結晶粒界におけるシリコンの未結合手や、p-Siとゲート絶縁膜13との界面にあるシリコンの未結合手(界面準位)とSi-D結合14を形成して、粒界や界面に存在する欠陥を不活性化させる。

【0064】ここで、重水素化処理は、上記のように処理温度350°C、処理時間2時間で行うものに限ったものではない。すなわち、本発明者らの確認によれば、温度に関しては、250°Cより低い温度では重水素化効果が少ない一方、500°C以上ではp-Siの表面から重水素の脱離が始まるので、250°C~500°C程度の範囲にあることが望ましい。

【0065】また、時間に関しては、1時間以上が適当で、長い方がTFT特性の改善に効果があるが、あまり長い時間にすると、実際の生産工程においてスループットが低下するため、本実施の形態1では2時間とした。

【0066】さらに、重水素ガスの流量等の条件に関しても、上記の他に種々の設定が可能である。

【0067】(13) 最後に、バッシペイション膜20をエッチングによって所定の形状にパターニングすると、p-Si TFTが完成する。

30

【0068】なお、上記の例では、プラズマ重水素化処理に重水素ガスのみを用いる例を示したが、重水素の他に、水素や、窒素等を含む混合ガスなど、少なくとも重水素を含むガスであればよい。

【0069】また、プラズマ雰囲気下に限らず、原子状などの重水素を含むガス雰囲気下で重水素化処理を行ってもよい。上記原子状の重水素は、例えば1000°C以上に加熱したタンクステンフィラメントに重水素ガスを吹き付けることにより得ることができる。

40

【0070】一方、上記のようにプラズマ雰囲気下や原子状の重水素を含むガス雰囲気下であれば、比較的効率よく短時間で重水素化処理を行うことができるが、熱アニール雰囲気下などで行うことにより、時間は多少長くかかるが比較的簡単な装置や設備で重水素化処理を行うことができる。

50

【0071】また、上記の例では、重水素化処理をバッシペイション膜20の成膜後にのみ行う例を示したが、これに限らず、半導体層12の形成後や、ゲート絶縁膜13の成膜後、ゲート電極15の成膜後、層間絶縁膜16の成膜後、コンタクトホール17の開口後、またはソース電極18およびドレイン電極19の形成後などに行

つてもよい。さらに、例えば層間絶縁膜16の成膜後とバッシベイション膜20の成膜後など、重水素化処理を複数回行うようにして、TFTの特性改善効果をさらに高めるようにしてもよい。

【0072】(実施の形態2) TFTの製造方法の他の例を図4に基づいて説明する。なお、この実施の形態2において、上記実施の形態1と同様の構成要素については同一の符号を付して詳細な説明を省略する。

【0073】この製造方法によって製造されるTFTは、上記実施の形態1のTFTでは半導体層12の内部にもSi-D結合14が形成されているのに対し、少なくとも、半導体層12の表面付近、すなわち、ホットキャリアによる劣化の影響が大きいp-Siとゲート絶縁膜13との界面付近でSi-D結合14が形成されるようにしたものである。

【0074】(1) 実施の形態1の(1)～(4) (図3(a))と同様の工程により、透光性ガラス基板10上に、下地絶縁膜11、およびp-Siの半導体層12を形成する(図4(a))。

【0075】(2) 処理温度350°C、水素ガスの流量300sccm、RFパワー800Wの条件下で、2時間、第1の水素化処理であるプラズマ水素化処理を行う(図4(b))。

【0076】このプラズマ水素化処理によって導入された水素は、半導体層12におけるp-Siの結晶粒界に拡散し、結晶粒界におけるシリコンの未結合手や、p-Siとゲート絶縁膜13との界面にあるシリコンの未結合手(界面単位)とSi-H結合14'を形成して、粒界や界面に存在する欠陥を不活性化させる。

【0077】ここで、上記水素化処理においては、重水素ではなく水素を用いているが、少なくとも、p-Siの表面付近の未結合手に結合した水素は、次の(3)の工程で重水素に置換される。すなわち、半導体層12の表面付近、特にp-Siとゲート絶縁膜との界面付近の未結合手はホットキャリアの発生によるTFTの特性の劣化に大きく影響するが、そのような未結合手は重水素で終端されるので、従来の水素ガスのみを用いる系での水素化処理で十分である。

【0078】なお、この水素化処理に代えて、実施の形態1で示したような重水素化処理を行って、半導体層12の内部の結晶粒界における未結合手にもSi-D結合14を形成させるようにして、さらにACストレスによる劣化を抑制し得るようにもよい。

【0079】また、水素化処理を行う場合でも、実施の形態1の重水素化と同様に、窒素などを含む混合ガスを用いたり、熱アニール雰囲気下で水素化処理を行うようにしたりしてもよい。

【0080】さらに、処理温度や、処理時間、重水素ガスの流量等の条件に関しても、上記の他に種々の設定が可能である。

【0081】(3) 上記水素化処理を施した半導体層12を重水素を溶解した沸化水素酸に浸漬して、第2の水素化処理である重水素化処理を行う(図4(c))。

【0082】この重水素化処理によって導入された重水素は、半導体層12の表面に拡散し、上記水素化処理によって半導体層12の表面付近に形成されたSi-H結合14'の水素と置換し、また、半導体層12の表面付近にシリコンの未結合手が残留している場合には、これと結合して、Si-D結合14を形成する。

10 【0083】(4) 実施の形態1の(5)～(10) (図3(b)～(e))と同様の工程により、ゲート絶縁膜13、ゲート電極15、半導体層12におけるチャネル領域12aとソース領域12bとドレイン領域12c、層間絶縁膜16、コンタクトホール17・17'、ソース電極18、およびドレイン電極19の形成を行う(図4(d)～(g))。

【0084】(5) 保護膜となるバッシベイション膜20を成膜し、エッチングによって所定の形状にパターニングすると、p-Si TFTが完成する(図4(h))。

【0085】上記のように、従来のTFTと同様の製造工程に、重水素を含む溶液に半導体層12を浸漬する工程を加えるだけで、少なくともホットキャリアの発生によるTFTの特性の劣化に大きく影響する、半導体層12の表面付近、特にp-Siとゲート絶縁膜との界面の未結合手にSi-D結合14を形成できるので、大掛かりな装置や設備等を導入することなく、したがって製造コストの大幅な増大を招くことなく、前記実施の形態1と同様の高性能で、高信頼性を有する薄膜トランジスタを得ることができる。

【0086】なお、上記の例では、水素化処理を半導体層12の形成後にのみ行う例を示したが、これに限らず、ゲート絶縁膜13の成膜後や、ゲート電極15の形成後、層間絶縁膜16の成膜後、コンタクトホール17の開口後、ソース電極18およびドレイン電極19の形成後、またはバッシベイション膜20の成膜後などに行ってもよく、さらに、例えば半導体層12の形成後と層間絶縁膜16の成膜後など、水素化処理を複数回行うようにして、TFTの特性改善効果をさらに高めようにもよい。

【0087】ただし、水素化処理を少なくとも半導体層12の形成後、すなわち重水素化処理よりも前に行えば、半導体層12の表面付近で水素と重水素との置換によるSi-D結合14も形成されるので、重水素化処理をより効率よく行うことができる。

【0088】一方、重水素化処理は、半導体層12が露出している状態、すなわちゲート絶縁膜13を形成するよりも前に行うのが好ましい。

【0089】また、第2の水素化処理である重水素化処理として、前記実施の形態1と同様の重水素を含む雰囲

11

気下での水素化を行ってもよい、この場合には、ゲート絶縁膜13の形成後などに行ってもよい。

【0090】(実施の形態3)上記実施の形態1または実施の形態2の製造方法によって製造されたTFTを適用したアクティブマトリックス型液晶表示装置の例を図5に基づいて説明する。

【0091】アクティブマトリックス型液晶表示装置は、図5に示すように、対向して配置されたTFTアレイ基板である透光性ガラス基板40と対向基板である透光性ガラス基板41との間に液晶層42が封入されるとともに、上記透光性ガラス基板40・41の両側に偏光板51・52が設けられて構成されている。

【0092】上記透光性ガラス基板40には、マトリックス状に配置された走査電極43…、および信号電極44…が形成されている。また、これらの電極の各交差位置に対応して、画素電極48…、およびこの各画素電極48…に画像信号電圧を印加するスイッチング素子としてのTFT45…が形成されている。さらに、透光性ガラス基板40の周縁部には、走査電極駆動回路46、および信号電極駆動回路47が形成されている。この走査電極駆動回路46、および信号電極駆動回路47は、TFT46a…・47a…から成るC-MOSインバータ等によって構成されている。

【0093】上記TFT45…・46a…・47a…は、重水素化工程を含む前記実施の形態1または実施の形態2の製造方法によって、透光性ガラス基板40上に一体的に形成されている。

【0094】一方、対向基板となる透光性ガラス基板41には、液晶層42側に、対向電極49、およびカラーフィルタ50が形成されている。カラーフィルタ50は、各画素電極48…の位置に対応して、赤色(R)、緑色(G)、または青色(B)の光を透過するセグメントに分割されている。

【0095】このように構成されたアクティブマトリックス型液晶表示装置では、信号電極駆動回路47によって各信号電極44…に選択的に画像信号電圧が印加されるとともに、走査電極駆動回路46によって各走査電極43…に選択的に所定の基準電圧が印加されると、選択された信号電極44および走査電極43に対応する画素電極48に上記画像信号電圧が印加され、液晶層42を透過する光の偏光面が回転して輝度が変化することにより、画像信号電圧に応じた画像が表示される。

【0096】ここで、アクティブマトリックス型液晶表示装置で正常に画像が表示されるためには、その画素数に応じた多数のTFT45…・46a…・47a…がすべて適正に動作する必要がある。

【0097】一方、TFT45…・46a…・47a…には、高速でオン、オフまたは極性が切り替わる直流や交流が印加されるが、前述のようにSi-D結合は切断されにくいのでホットキャリアによる劣化は抑制され、

12

したがって、高性能で、高信頼性を有するアクティブマトリックス型液晶表示装置が得られる。

【0098】なお、上記の例では液晶表示装置に適用した例を説明したが、これに限らず、イメージセンサやSRAMなどの半導体メモリ等に適用して同様の効果を得ることができる。

【0099】

【発明の効果】本発明は、以上説明したような形態で実施され、シリコン-水素結合よりも切断されにくいシリコン-重水素結合を形成させることにより、シリコンの未結合手に結合された重水素はシリコンから脱離しにくくなるので、バイアス電圧やAC電圧などの大きなストレスに対しても、オン電流の増加や、オフ電流の減少、閾値電圧の低下などの特性の向上を維持しつつ、さらにホットキャリアの発生を抑制することにより特性の劣化も防止することができ、高性能で、高信頼性を有する薄膜トランジスタを得ることができるという効果を奏する。

【図面の簡単な説明】

【図1】実施の形態1に係る薄膜トランジスタの構成を示す縦断面図である。

【図2】同、ACストレスによるキャリア移動度の変化を示す特性図である。

【図3】同、製造工程を示す説明図である。

【図4】実施の形態2に係る薄膜トランジスタの製造工程を示す説明図である。

【図5】実施の形態3に係る本発明の薄膜トランジスタを適用したアクティブマトリックス型液晶表示装置の構成を示す説明図である。

【図6】従来の薄膜トランジスタの構成を示す縦断面図である。

【符号の説明】

10 透光性ガラス基板

11 下地絶縁膜

12 半導体層

12a チャネル領域

12b ソース領域

12c ドレイン領域

13 ゲート絶縁膜

14 Si-D結合

14' Si-H結合

15 ゲート電極

16 眉間絶縁膜

17 コンタクトホール

18 ソース電極

19 ドレイン電極

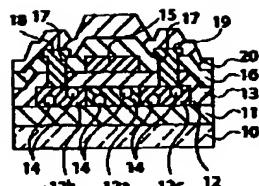
20 パッシベイション膜

45 TFT

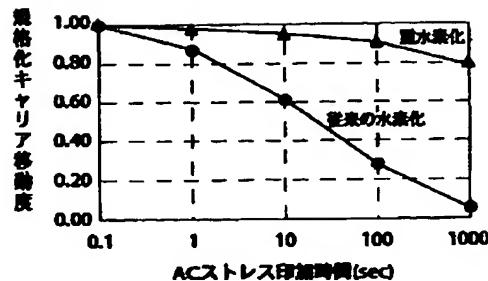
46a TFT

50 47a TFT

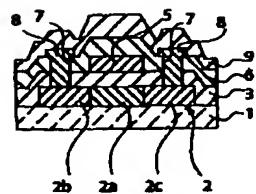
【図1】



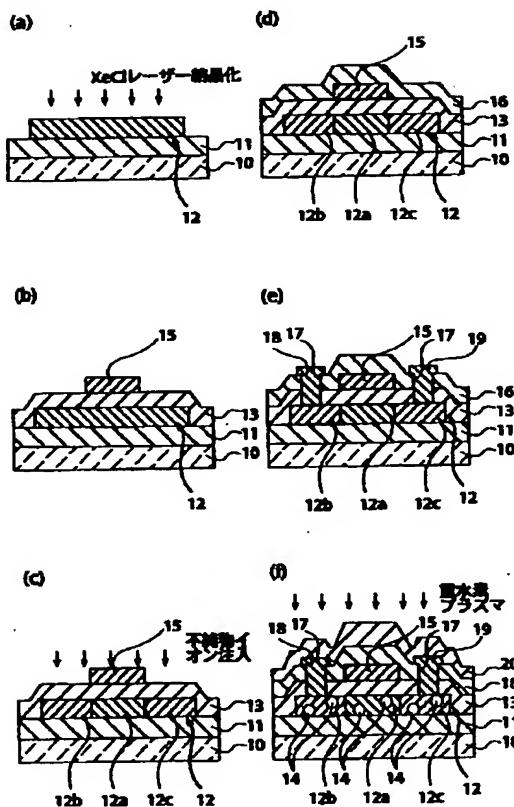
【図2】



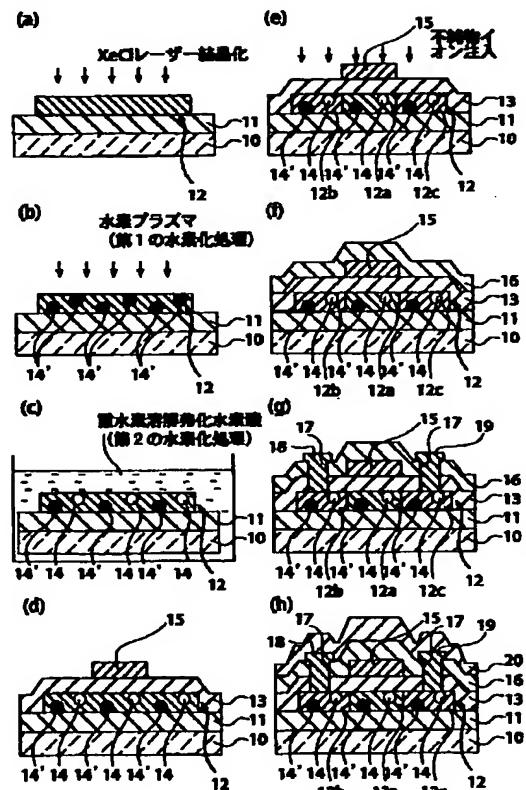
【図6】



【図3】



【図4】



【図5】

